

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **2002-245774**

(43)Date of publication of application : **30.08.2002**

(51)Int.Cl.

G11C 11/14
G11C 11/15
H01L 27/105
H01L 43/08

(21)Application number : **2001-384427**

(71)Applicant : **HEWLETT PACKARD CO <HP>**

(22)Date of filing : **18.12.2001**

(72)Inventor : **NICKEL JANICE H
TRAN LUNG T**

(30)Priority

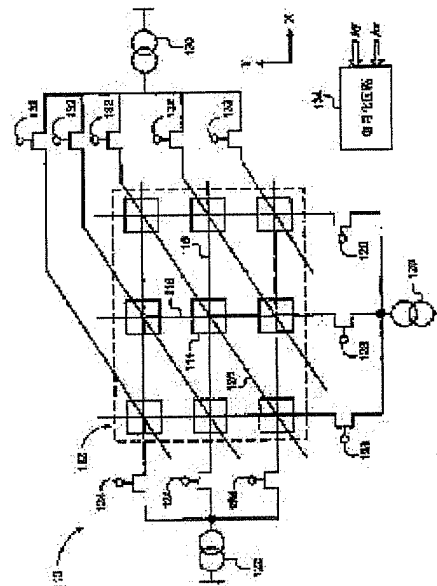
Priority number : **2001 758757** Priority date : **11.01.2001** Priority country : **US**

(54) INFORMATION STORAGE DEVICE WHICH PERFORMS SWITCHING UTILIZING HEAT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a device for improving reliability for write-in for a magnetic memory element of an MRAM device.

SOLUTION: This information store device (110) is provided with an array (112) consisting of magnetic memory elements (114) and a plurality of heating elements (120b) for the memory elements (114). The heating elements (120b) are arranged apart from the memory elements (114). The heating elements (120b) are included in heating lines intersecting the array (112) and extending. The each heating line (120) comprises a conductive line (120a) separated by the heating element (120b). The heating line (120) intersects the array (112) slantly and extends.



LEGAL STATUS

[Date of request for examination]

08.07.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2002-245774
(P2002-245774A)

(43) 公開日 平成14年8月30日 (2002.8.30)

(51) Int.Cl. ⁷	識別記号	F I	テームコード* (参考)
G 1 1 C	11/14	G 1 1 C	11/14
	11/15		11/15
H 0 1 L	27/105	H 0 1 L	43/08
	43/08		27/10
			Z
			4 4 7

審査請求 未請求 請求項の数 1 O L (全 7 頁)

(21) 出願番号 特願2001-384427 (P2001-384427)
(22) 出願日 平成13年12月18日 (2001.12.18)
(31) 優先権主張番号 09/758, 757
(32) 優先日 平成13年1月11日 (2001.1.11)
(33) 優先権主張国 米国 (US)

(71) 出願人 398038580
ヒューレット・パカード・カンパニー
HEWLETT-PACKARD COM
PANY
アメリカ合衆国カリフォルニア州パロアル
ト ハノーバー・ストリート 3000
(72) 発明者 ジャニス・エイチ・ニッケル
アメリカ合衆国94087カリフォルニア州サ
ニーヴェイル、キンバリー・ドライブ
1772
(74) 代理人 100081721
弁理士 岡田 次生 (外2名)

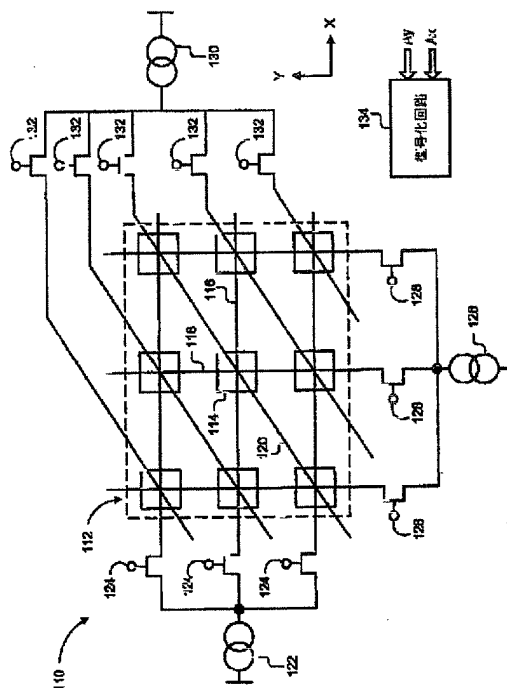
最終頁に続く

(54) 【発明の名称】 熱を利用した切替えを実行する情報記憶装置

(57) 【要約】

【課題】 MRAM装置の磁性メモリ素子への書込みの信頼性を高めるための装置を提供する。

【解決手段】 磁性メモリ素子 (114) からなるアレイ (112) と、前記メモリ素子 (114) のための複数の加熱素子 (120b) とを備える情報記憶装置 (110)。態様によれば、前記加熱素子 (120b) は、前記メモリ素子 (114) から離隔して配置される。態様によれば、前記加熱素子 (120b) は、前記アレイ (112) を横切って延在する加熱線 (120) に含まれる。態様によれば、前記各加熱線 (120) は、前記加熱素子 (120b) によって分離される導電性のライン (120a) を含む。態様によれば、前記加熱線 (120) は、前記アレイ (112) を斜め方向に横切って延在する。



【特許請求の範囲】

【請求項1】 情報記憶装置であって、磁性メモリ素子からなるアレイと、前記メモリ素子のための複数の加熱素子とを備える装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は情報記憶装置に関する。より具体的には、本発明は磁性ランダムアクセスメモリ（「MRAM」）装置に関する。

【0002】

【従来の技術】スピン依存トンネリング（SDT）接合の抵抗性の交点アレイと、SDT接合の行に沿って延在するワード線と、SDT接合の列に沿って延在するビット線とを備えるMRAM装置の例について考えてみる。各SDT接合は、ワード線とビット線との交点に配置される。各SDT接合の磁化は、常に2つの安定した向きのうちの一方を向くようになされる。これら2つの安定した向き、平行および逆平行は、「0」および「1」の論理値を表す。磁化の向きは、SDT接合の抵抗にも影響を与える。SDT接合の抵抗は、その磁化の向きが平行であるである場合には第1の値（R）をとり、その磁化の向きが逆平行である場合には第2の値（ $R + \Delta R$ ）をとる。SDT接合の磁化の向き、それゆえ論理値は、その抵抗状態を検出することにより読み取ることができる。

【0003】選択されたSDT接合における書き込み動作は、選択されたSDT接合を横切るワード線およびビット線に書き込み電流を供給することにより実行される。その電流は2つの外部磁界をつくり出し、その磁界を組み合わせると、選択されたSDT接合の磁化の向きが、平行から逆平行に、あるいはその逆に切り替えられる。

【0004】書き込み電流が小さすぎると、選択されたSDT接合がその磁化の向きを変更できない場合がある。理論的には、両方の外部磁界を組み合わせれば、選択されたSDT接合の磁化の向きを十分に反転させられるはずである。しかしながら、実際には、磁界を組み合わせても、磁化の向きを常に反転させられるとは限らない。選択されたSDT接合の磁化の向きが反転されない場合には、書き込み誤りが発生し、その結果、誤りコード訂正に関する負担が増加するようになる。

【0005】一方の磁界のみを見るSDT接合（すなわち、選択されたワード線、選択されたビット線のいずれか一方に沿って存在するSDT接合）は、「片側選択される」。理論的には、1つの磁界では、SDT接合の磁化の向きが反転されることはない。しかしながら、実際には、1つの磁界によって、磁化の向きが反転され得る。片側選択されたSDT接合の磁化の向きが反転される場合には、望ましくない消去が発生し、その結果、誤りコード訂正に関する負担が増加するようになる。

【0006】

【発明が解決しようとする課題】したがって、本発明の目的は、SDT接合への書き込みの信頼性を高めるための装置を提供することである。より一般的に述べると、MRAM装置の磁性メモリ素子への書き込みの信頼性を高めるための装置を提供することである。

【0007】

【課題を解決するための手段】本発明の一態様によれば、磁性メモリ素子は、メモリ素子を加熱し、そのメモリ素子に少なくとも1つの磁界をかけることにより書き込まれる。本発明の他の態様および利点は、例を用いて本発明の原理を例示する、添付の図面とともに取り上げられる以下に記載される詳細な説明から明らかになるであろう。

【0008】

【発明の実施の形態】例示するための図面に示されるように、本発明は、磁性メモリ素子のアレイを含むMRAM装置において具現される。データ記憶中に、そのMRAM装置は、選択されたメモリ素子の熱を利用した切替えを実行する。熱を利用した切替えによって、MRAM装置にデータを格納することに関する信頼性が高められる。

【0009】MRAM装置の磁性メモリ素子には、磁性フィルムの状態に応じた抵抗を有する任意の素子を用いることができる。その素子の例には、磁気トンネル接合（SDT接合は磁気トンネル接合の1つのタイプである）および巨大磁気抵抗（「GMR」）スピンバルブがある。例示するために、メモリ素子はSDT接合として以下に記載される。

【0010】図1を参照すると、SDT接合10が示される。SDT接合10はピン層（pinned layer）12を含み、ピン層12は、その層の平面内で廃港され配向されるが、対象の範囲内に印加磁界が存在しても回転することのないように固定される磁化を有する。またSDT接合10は「フリー」層14も含んでおり、フリー層14は、固定されていない磁化の向きを有する。より正確には、その磁化は、フリー層14の平面内に存在する軸（「容易軸」）に沿った2つの方向のいずれかに向けることができる。ピン層12およびフリー層14の磁化が同じ方向をなす場合には、その向きは、いわゆる「平行」である（矢印Pによって示される）。ピン層12およびフリー層14の磁化が逆方向をなす場合には、その向きは、いわゆる「逆平行」である（矢印Aによって示される）。

【0011】ピン層12およびフリー層14は、絶縁トンネル障壁16によって分離される。絶縁トンネル障壁16によって、ピン層12とフリー層14との間に、量子力学的なトンネル効果が生じるようになる。このトンネル効果現象は電子スピンに依存し、SDT接合10の抵抗は、ピン層12およびフリー層14の磁化の相対的

な向きの関数になる。たとえば、ピン層12およびフリー層14の磁化の向きが逆平行である場合には、SDT接合10の抵抗は第1の値(R)であり、磁化の向きが平行である場合には第2の値($R+\Delta R$)である。

【0012】磁界(H_x 、 H_y)は、SDT接合10と接触する第1の導体18および第2の導体20に電流(I_y 、 I_x)を供給することにより、SDT接合10に加えられる場合がある。導体18および20が直交する場合、印加磁界(H_x 、 H_y)も直交する。

【0013】十分に大きな電流(I_x 、 I_y)が導体18および20を通して流されるとき、フリー層14の近傍の組み合わせられた磁界(H_y+H_x)によって、フリー層14の磁化は、平行の向きから逆平行の向き、あるいはその逆に入れ替わるようになる。たとえば、十分な電流 I_x が供給されると、磁化の向きは逆方向になり、一方、十分な電流 I_y が供給されると、磁化の向きは平行になるであろう。

【0014】電流の大きさは、組み合わせられた磁界(H_x+H_y)がフリー層14の切替え磁界を超え、ピン層12の切替え磁界を超えないように選択されることができる。

【0015】しかしながら、SDT接合10が加熱される場合には、書き込み電流(I_x 、 I_y)の一方あるいは両方の大きさが低減される場合がある。磁性フィルムの保磁度は、温度が上昇するのに応じて減少する。SDT接合10の温度が上昇すると、図2aおよび図2bに示されるように、SDT接合10の保磁度(H_c)が減少する。図2aは、室温(T_{room})での保磁度(H_c)を示しており、一方、図2bは、室温より50℃高い温度での保磁度(H_c)を示す。上昇した温度では、低い組み合わせた磁界(H_x+H_y)が存在する場合には、SDT接合10は、高抵抗状態から低抵抗状態に、およびその逆に切り替わる。それゆえ、SDT接合10を加熱することにより、書き込み電流(I_x 、 I_y)の一方あるいは両方の大きさは減少してもよい。一方、書き込み電流(I_x 、 I_y)の大きさが低減されない場合には、組み合わせた磁界(H_x+H_y)の存在時に、SDT接合10の切替えの信頼性は高くなるであろう。温度および書き込み電流を変化させて、所望の切替えの信頼性を達成することができる。

【0016】組み合わせた磁界(H_x+H_y)が加えられる前に、熱が加えられ、かつ除去されてもよく、あるいは熱は、組み合わせた磁界(H_x+H_y)と同時に加えられてもよい。フリー層14は、室温より約10℃から50℃高い温度まで加熱される場合がある。より一般的に述べると、最大加熱温度には、ブロッキング温度(その温度より高い場合、反強磁性層がそのピン特性を緩和する) T_B よりも約50℃低い温度を用いることができる。

【0017】図1に戻ると、熱は第3の導体22によっ

てフリー層14に加えられることができる。第3の導体22は、電気的に絶縁性で、熱伝導性の材料(たとえば、窒化シリコン)からなる層24によって第1の導体18から分離される。第3の導体22内を流れる電流が付加的な磁界を形成する場合であっても、第3の導体22は、SDT接合10から十分に離れており、付加的な磁界が切替えに悪影響を及ぼすことはない。

【0018】図1は、第3の導体22がSDT接合10より上側にあることを示すが、代わりに、第3の導体22は、SDT接合10より下側にある場合もある。第3の導体22は、SDT接合10の上にあっても下にあってもよい。

【0019】ここで図3を参照すると、メモリ素子114の抵抗性交点のアレイ112を含む情報記憶装置110が示される。メモリ素子114は行および列に配列され、行は x 方向に沿って延在し、列は y 方向に沿って延在する。情報記憶装置110の図を簡単にするために、比較的小さい数のメモリ素子114のみが示されている。実際には、任意のサイズのアレイが用いられる場合がある。

【0020】ワード線116として機能するラインが、メモセルアレイ112の一方の側にある、ある平面内の x 方向に沿って延在する。ビット線118として機能するラインが、メモセルアレイ112のその隣接する側にある、ある平面の y 軸に沿って延在する。アレイ112の各行に対して1つのワード線116が存在し、アレイ112の各列に対して1つのビット線118が存在することができる。各メモリ素子114は、ワード線116とビット線118との交点に配置される。

【0021】加熱線120として機能するラインが、アレイ112を斜め方向に横切って延在する。加熱線120は、アレイ112の上側に、アレイ112の下側に、あるいはアレイ112の上側および下側の両方に設けられる場合がある。加熱線120の典型的な構成が、図4とともに以下に記載される。

【0022】情報記憶装置110は、読出し動作中に選択されたメモリ素子114の抵抗状態を検出するための読出し回路と、書き込み動作中に選択されたワード線116、ビット線118および加熱線120に書き込み電流を供給するための書き込み回路とを備える。情報記憶装置110の図を簡単にするために、読出し回路は図示されない。

【0023】書き込み回路は、第1のグループのトランジスタ124によってワード線116に接続される第1の電流源122と、第2のグループのトランジスタ128によってビット線118に接続される第2の電流源126と、第3のグループのトランジスタ132によって加熱線120に接続される第3の電流源130とを備える。

【0024】書き込み動作中に、ワード線116と、ビッ

ト線118と、加熱線120とを選択するために、デコード134がアドレスAxおよびAyを復号化する。デコード(復号化回路)134は、第1のグループのトランジスタのうちの1つのトランジスタ124に指示を出してワード線116を第1の電流源122に接続することによりそのワード線116を、第2のグループのトランジスタのうちの1つのトランジスタ128に指示を出してビット線118を第2の電流源126に接続することによりそのビット線118を、さらに第3のグループのトランジスタのうちの1つのトランジスタ132に指示を出して加熱線120を第3の電流源130に接続することによりその加熱線120を選択する。電流は、選択されたワード線116、ビット線118および加熱線120の中を流れる。選択されたワード線116とビット線118との交点に位置するメモリ素子114には、組み合わせられた磁界($H_x + H_y$)がかけられる。また、この選択されたメモリ素子114は、選択された加熱線120によって加熱される。加熱線120が斜め方向に延在することの利点は、選択された素子は加熱されるが、片側選択された素子は加熱されないことである。

【0025】図3は、ワード線116に対する1つの電流源122と、ビット線118に対する1つの電流源126と、加熱線120に対する1つの電流源130とを示す。大きなアレイでは、ワード線116に対して多数の電流源122と、ビット線118に対して多数の電流源126と、加熱線120に対して多数の電流源130とが設けられる場合があり、それにより各電流源122が多数のワード線116によって共有され、各電流源126が多数のビット線118によって共有され、各電流源130が多数の加熱線120によって共有される。これにより、多数のメモリ素子114に同時に書き込みを行うことができるようになる。

【0026】書き込み回路の他の素子は示されない。たとえば、図3は、基準電位に対して、ワード線116、ビット線118および加熱線120の「遊端」を接続するためのトランジスタを示していない。さらに、図3に示されるトランジスタ124、128および132、ならびに電流源は、書き込み回路の簡略形である。ワード線116、ビット線118および加熱線120に電流を供給するための回路は、種々の異なる態様で実装される場合がある。

【0027】ここで図4を参照すると、加熱線120の典型的な構成が示される。加熱線120は、タングステン、プラチナあるいは他の高抵抗性の材料からなる加熱素子120bによって分離される銅線120aを含む。加熱素子120bは、メモリ素子114上に配置される。

【0028】図5a、図5b、図5cおよび図5dは、加熱線120のための種々のパターンを示す。これらのパターンでは、加熱線120は、アレイ112を斜め方

向に横切って延在する。さらに、加熱線120のグループは、ループを形成するために互いに連結される。電流はループの一端に供給され、ループの他端は基準電位に連結される。これにより、トランジスタの数が低減される。またそれにより、熱が、同じビット線によって横切られる多数の素子に加えられるようになる。

【0029】図5aは、複数の経路に配列される加熱線120を示す。各経路は、一対の直列に接続された加熱線120を含む。各経路の一端は基準電位に接続され、各経路の他端は、トランジスタ132によって電流源130に接続される。この構成では、熱は、選択されたメモリ素子114に加えられるが、片側選択されたメモリ素子114には加えられない。この構成は、片側選択マージンを改善し、望ましくない消去の可能性を低減する。

【0030】図5bは、1つの経路を形成するように直列に接続された多数の加熱線120を示す。1つの経路の一端は基準電位に連結され、1つの経路の他端はトランジスタ132によって電流源130に接続される。各加熱線120は、隣接する行内のメモリ素子114を網羅する。

【0031】図5cは、加熱線120の角度が異なる点を除いて、図5bに示されるパターンと同様のパターンを示す。図5cの加熱線は、隣接する行内のメモリ素子114を網羅しない。代わりに、各加熱線120は、1つのおきの列内のメモリ素子114を網羅する。

【0032】図5dは、第1の端部が互いに連結された、多数の加熱線を示す。スイッチ132aによって、電流が、加熱線120の選択された第2の端部に供給されるようになり、スイッチ132bによって、他の選択された第2の端部が基準電位に接続されるようになる。この構成によって、1つの経路を形成するために、任意の2つの加熱線120を選択することができる。たとえば、スイッチ132aおよび132bは、破線によって示される電流経路を形成するために選択されることができる。

【0033】スイッチ132aおよび132bは、電流が多数の加熱線120を通して並列に流れるように選択される場合もある。この構成によって、同時に書き込むことが可能になる。

【0034】上記のパターンのブロックは大きなアレイにわたって繰り返される場合がある。たとえば、大きなアレイは、複数の書き込み回路と、各書き込み回路に接続されるビット線のグループとを含むこともある。加熱線120のパターンは、ビット線の各グループに適用される場合もある。

【0035】ここで図6を参照すると、抵抗性交点のメモリセルアレイの多数のレベルあるいは平面202を有するチップ200が示される。平面202は基板204に積層され、二酸化シリコンのような絶縁性材料(図示せず)によって分離される。読出しおよび書き込み回路

は、基板204上に形成されることができる。読出しおよび書込み回路は、読出しおよび書込みが行われるレベルを選択するための付加的なマルチプレクサを含む場合がある。電流源は、チップ上にある場合も、チップ外にある場合もある。

【0036】本発明による情報記憶装置は、多種多様な応用形態に用いられる場合がある。たとえば、その情報記憶装置は、コンピュータ内に長期間にわたってデータを記憶するために用いられる場合がある。そのような装置は、ハード装置および他の従来の長期間データ記憶装置より優れた多くの利点（たとえば、より速い速度、より小さなサイズ）を提供する。

【0037】本発明による情報記憶装置は、デジタル画像を長期間にわたって記憶するために、デジタルカメラにおいて用いられる場合がある。本発明による情報記憶装置は、コンピュータ内のDRAM、あるいは他の高速、かつ短期間のメモリの代わりに用いることもできる。

【0038】本発明による情報記憶装置は、2つの直交する磁界をメモリ素子に加えることによりメモリ素子を切り替えることに限定されない。たとえば、選択されたメモリ素子は、熱と、1つの磁界だけとによって切り替えられることもできる。

【0039】本発明は、先に記載および図示された特定の実施形態に限定されない。代わりに、本発明は、特許請求の範囲に従って解釈される。

【0040】本発明の態様を以下に例示する。

【0041】1. 情報記憶装置(110)であって、磁性メモリ素子(114)からなるアレイ(112)と、前記メモリ素子(114)のための複数の加熱素子(120b)とを備える装置。

【0042】2. 前記加熱素子(120b)は、前記メモリ素子(114)から離隔して配置される上記1に記載の装置。

【0043】3. 前記加熱素子(120b)は、前記アレイ(112)を横切って延在する加熱線(120)に含まれる上記1に記載の装置。

【0044】4. 前記各加熱線(120)は、前記加熱素子(120b)によって分離される導電性のライン(120a)を含む上記3に記載の装置。

【0045】5. 前記加熱線(120)は、前記アレイ(112)を斜め方向に横切って延在する上記3に記載の装置。

【0046】6. 前記加熱線(120)のグループは、少なくとも1つの経路を形成するために互いに接続され

る上記3に記載の装置。

【0047】7. 前記各グループの前記加熱線(120)は直列に接続される上記6に記載の装置。

【0048】8. 前記加熱線(120)は、互いに連結される第1の端部を有する上記3に記載の装置。

【0049】9. 電流が、前記加熱線(120)の選択された端部に供給されるようにするためのスイッチ(124、128、132)をさらに備える上記3に記載の装置。

【0050】10. 前記加熱素子(120b)は、書込み動作中に、室温より約10℃から50℃高い温度まで、選択されたメモリ素子(114)の温度を上昇させる上記1に記載の装置。

【0051】

【発明の効果】上記のように、本発明によれば、SDT接合への書込みの信頼性を高めるための装置を、より一般的にはMRAM装置の磁性メモリ素子への書込みの信頼性を高めるための装置を実現することができる。

【図面の簡単な説明】

【図1】 SDT接合を示す図である。

【図2a】 SDT接合のヒステリシスループを示す図である。

【図2b】 SDT接合のヒステリシスループを示す図である。

【図3】 熱を利用して切替えを実行することができるMRAM装置を示す図である。

【図4】 MRAM装置のための加熱線を示す図である。

【図5a】 MRAM装置のための加熱線の種々のパターンを示す図である。

【図5b】 MRAM装置のための加熱線の種々のパターンを示す図である。

【図5c】 MRAM装置のための加熱線の種々のパターンを示す図である。

【図5d】 MRAM装置のための加熱線の種々のパターンを示す図である。

【図6】 マルチレベルMRAMチップを示す図である。

【符号の説明】

110 情報記憶装置

112 メモリセルアレイ

114 メモリ素子

120 加熱線

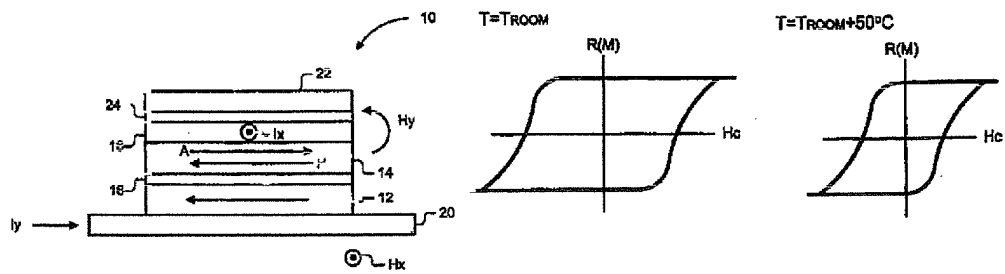
120b 加熱素子

124、128、132 トランジスタ

【図 1】

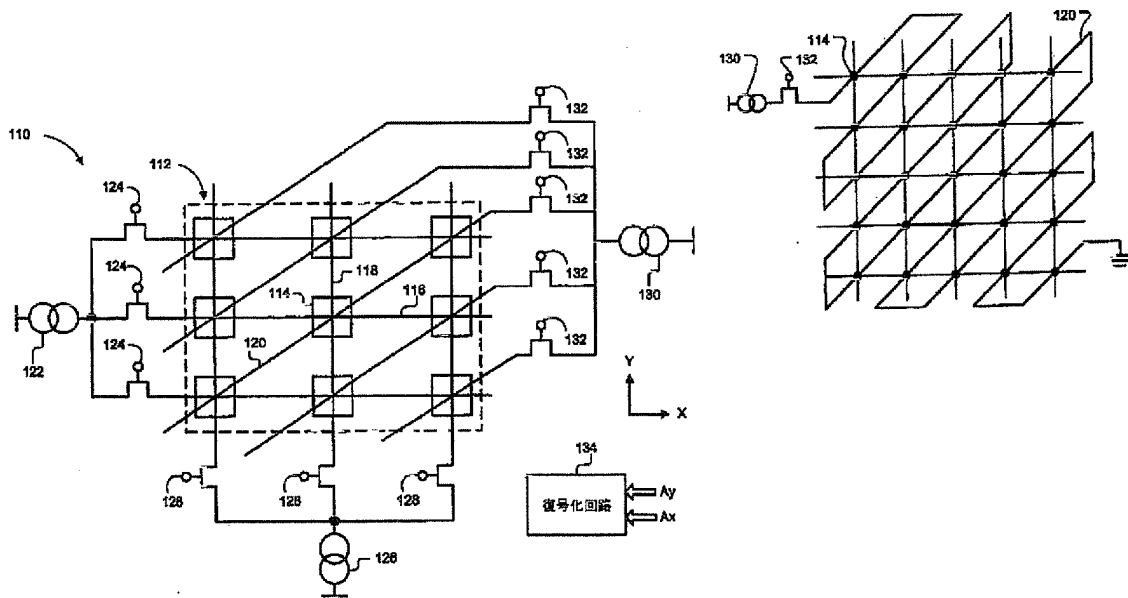
【図2a】

【図2b】



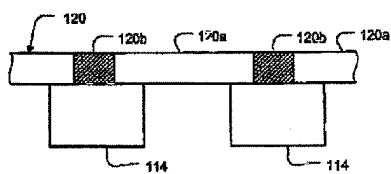
【図5b】

【図3】

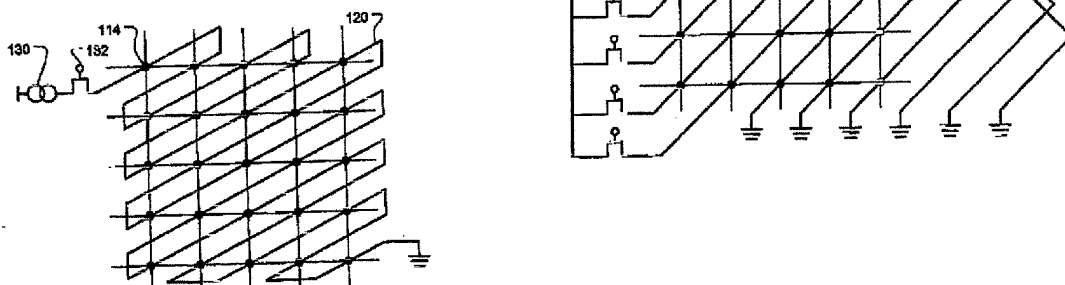


【図4】

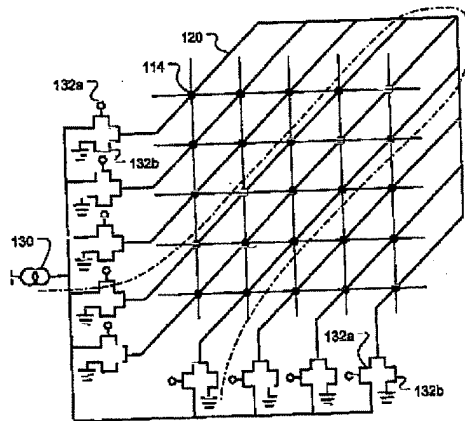
【☒5 a】



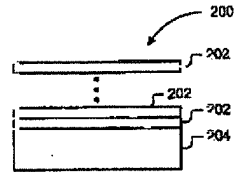
【図5 c】



【図5d】



【図6】



フロントページの続き

(72)発明者 ラング・ティール・トラン
アメリカ合衆国95070カリフォルニア州サ
ラトガ、ウッドブレイ・コート 5085

Fターム(参考) 5F083 FZ10